



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10107627 A**(43) Date of publication of application: **24 . 04 . 98**

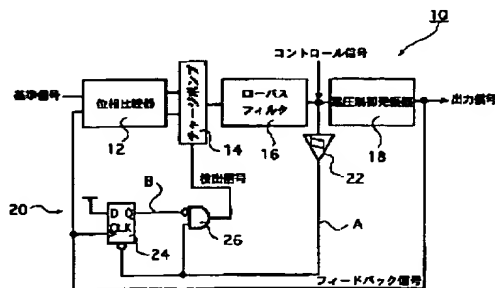
(51) Int. Cl.

**H03L 7/10**  
**H03L 7/093**
(21) Application number: **08260455**(71) Applicant: **KAWASAKI STEEL CORP**(22) Date of filing: **01 . 10 . 96**(72) Inventor: **TAKADA MASATOSHI****(54) PHASE-LOCKED LOOP CIRCUIT****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To detect falling into a deadlock state and to automatically recover to a normal state by detecting that a PLL circuit reaches certain voltage or more where there is possibility that it falls into a deadlock state through the voltage level of a control signal and reducing the voltage level of the control signal.

**SOLUTION:** A control signal, etc., which is outputted from a low-pass filter 16 is inputted to a control circuit 20. The circuit 20 detects a voltage level of a control signal and detects whether or not a PLL circuit 10 is in a deadlock state. If the circuit 10 is in a deadlock state, the circuit 20 outputs a detection signal which is in an active state to recover it into a normal locked state. That is, the voltage level of a control signal detects that the circuit 10 reaches certain voltage level or more where there is possibility that it falls into a deadlock state and further, that it is in a deadlock state, and reduces the voltage level of the control signal.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107627

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 L 7/10

H 0 3 L 7/10

Z

7/093

7/08

E

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平8-260455

(22) 出願日

平成 8 年(1996) 10月 1 日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通 1 丁目 1 番 28 号

(72) 発明者 ▲高▼田 昌 利

東京都千代田区内幸町 2 丁目 2 番 3 号 川崎製鉄株式会社東京本社内

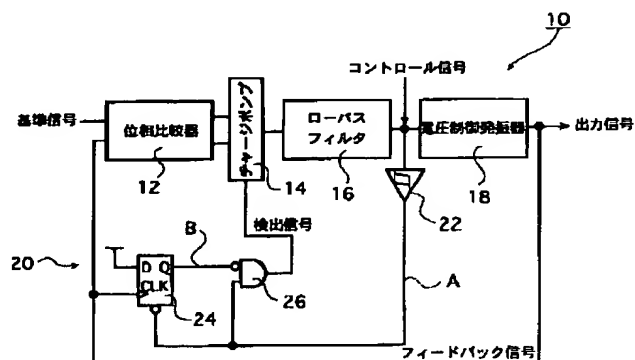
(74) 代理人 弁理士 渡辺 望稔 (外 1 名)

(54) 【発明の名称】 PLL 回路

(57) 【要約】

【課題】デッドロック状態に陥ったことを検知し、自動的に正常状態に復帰することができる PLL 回路を提供すること。

【解決手段】第 1 の検出手段により、コントロール信号が所定の電圧レベル以上であることを検出し、コントロール信号が所定の電圧レベル以上の電圧を有するときに、第 2 の検出手段により、フィードバック信号が発振していないことを検出し、フィードバック信号が発振していないときに、第 3 の検出手段により、電圧制御発振器の発振周波数を制御するコントロール信号の電圧レベルを下げるための検出信号を出力することにより、上記課題を解決する。



## 【特許請求の範囲】

【請求項1】基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、前記制御信号に応じて、前記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、前記誤差信号に応じた電圧レベルを有するコントロール信号を出力するローパスフィルタと、前記コントロール信号の電圧レベルに応じて、発振周波数を変更された前記フィードバック信号を出力する電圧制御発振器とを有するPLL回路であって、さらに、前記コントロール信号が所定の電圧レベル以上であることを検出する第1の検出手段と、この第1の検出手段により、前記コントロール信号が所定の電圧レベル以上であることが検出されたときに、前記フィードバック信号が発振していないことを検出する第2の検出手段と、この第2の検出手段により、前記フィードバック信号が発振していないことが検出されたときに、前記コントロール信号の電圧レベルを下げるための検出信号を出力する第3の検出手段とを有することを特徴とするPLL回路。

【請求項2】前記検出信号は、前記チャージポンプに入力されており、前記チャージポンプは、前記検出信号に応じて、前記コントロール信号の電圧レベルを下げるための前記誤差信号を出力することを特徴とする請求項1に記載のPLL回路。

【請求項3】請求項1に記載のPLL回路であって、さらに、前記検出信号に応じて、前記コントロール信号の電圧レベルを下げる手段を有することを特徴とするPLL回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基準信号に位相同期された出力信号を発生するPLL回路（Phase-Locked Loop:位相同期ループ）に関するものである。

## 【0002】

【従来の技術】図4は、PLL回路の内部構成を示す一例の概念図である。図示例のPLL回路30は、基準信号とフィードバック信号との位相を比較して制御信号を出力する位相比較器32、制御信号に応じて誤差信号を出力するチャージポンプ34、誤差信号に応じた電圧レベルを有するコントロール信号を出力するローパスフィルタ36、コントロール信号の電圧レベルに応じて、フィードバック信号および出力信号を出力する電圧制御発振器38により構成されている。

【0003】このPLL回路30においては、位相比較器32において、基準信号とフィードバック信号との間の位相差が検出され、その比較結果である制御信号が出力される。チャージポンプ34により、制御信号に基づいて誤差信号が生成され、誤差信号は、ローパスフィルタ36によりアナログ信号に変換された後、コントロー

ル信号として電圧制御発振器38に入力され、電圧制御発振器38において、このコントロール信号の電圧レベルに応じて、フィードバック信号の発振周波数を変更される。

【0004】例えば、基準信号に対してフィードバック信号の位相の方が遅いときには、フィードバック信号の位相を早くするために、コントロール信号の電圧レベルが高くされ、逆に、早いときには電圧レベルを低くされる。そして、以後同様に、基準信号と発振周波数の変更されたフィードバック信号との間の位相差を繰り返し検出することにより、基準信号とフィードバック信号との間の周波数および位相を同期（ロック）させて出力信号を得ている。

【0005】このように、PLL回路30においては、コントロール信号の電圧レベルにより、フィードバック信号の周波数および位相を制御して、基準信号とフィードバック信号との位相が同期された出力信号を得ている。

【0006】ところで、上記PLL回路30は、単体でIC化されるばかりでなく、例えば制御装置や処理装置、CPU等のような個別のICの中に搭載されてオンチップ化され、そのクロック制御等に用いられる場合もある。この場合、電圧変動や温度変動、プロセス変動等の様々な条件を考慮すると、使用される発振周波数を中心として、低い周波数から高い周波数まで動作できるように、十分な余裕を持って電圧制御発振器38の設計を行う必要がある。

【0007】このように、電圧制御発振器38の発振周波数に十分な余裕を持って設計されたPLL回路30を搭載するICにおいては、ICを実際に動作させるときの実動作周波数よりも、非常に高い周波数まで電圧制御発振器38が発振することができる。例えば、ワースト条件のときには、それほど高い周波数まで発振しないとしても、典型的条件、さらにはベスト条件のときには、電圧制御発振器38の最大発振周波数は非常に高い周波数となる。

【0008】ところで、フィードバック信号の経路には、通常、例えば論理ゲートやフリップフロップ等の回路素子が接続されている。ところが、PLL回路30の動作状態が不安定になり、コントロール信号の電圧レベルが上昇して電圧制御発振器38の発振周波数が高くなると、フィードバック信号の経路上のいずれかの回路素子が、電圧制御発振器38の発振周波数でトグルできなくなり、位相比較器32にフィードバック信号が入力されなくなる場合がある。

【0009】位相比較器32にフィードバック信号が入力されなくなると、位相比較器32は、フィードバック信号が基準信号よりも遅れていると判断し、さらに電圧制御発振器38の発振周波数を高くするための制御信号を出力する。このようにして、コントロール信号の電圧

レベルはさらに上昇され、ついには、高い電圧レベルのままの状態にスタックされ、電圧制御発振器 38 の発振周波数が発振上限周波数に固定されるというデッドロック状態に陥る。

【0010】しかし、PLL回路 30 は一度デッドロック状態に陥ると、例えば電源をオフ状態にする等の初期化を行わなければ、正常なロック状態に復帰させることができず、安定した PLL 回路システムを構成するのは難しかった。

【0011】従って、PLL回路 30 を搭載した IC において、デッドロック状態を未然に回避するためには、IC の実動作周波数よりも非常に高い周波数まで動作できるように、フィードバック信号の経路の動作上限周波数を考慮して設計を行わなければならない。特に、PLL回路 30 をクロック制御に用いている場合には、クロック信号の経路が実動作周波数よりも非常に高い周波数まで動作できるようにしなければならず、クロック信号の経路の負荷に対する制約が厳しくなる等、設計上の制約が多くなり、設計が非常に困難になるという問題点があった。

#### 【0012】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点をかえりみて、デッドロック状態に陥ったことを検知し、自動的に正常状態に復帰することができる PLL 回路を提供することにある。

#### 【0013】

【課題を解決するための手段】上記目的を達成するために、本発明は、基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、前記制御信号に応じて、前記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、前記誤差信号に応じた電圧レベルを有するコントロール信号を出力するローパスフィルタと、前記コントロール信号の電圧レベルに応じて、発振周波数が変更された前記フィードバック信号を出力する電圧制御発振器とを有する PLL 回路であって、さらに、前記コントロール信号が所定の電圧レベル以上であることを検出する第 1 の検出手段と、この第 1 の検出手段により、前記コントロール信号が所定の電圧レベル以上であることが検出されたときに、前記フィードバック信号が発振していないことを検出する第 2 の検出手段と、この第 2 の検出手段により、前記フィードバック信号が発振していないことが検出されたときに、前記コントロール信号の電圧レベルを下げるための検出信号を出力する第 3 の検出手段とを有することを特徴とする PLL 回路を提供するものである。

【0014】ここで、前記検出信号は、前記チャージポンプに入力されており、前記チャージポンプは、前記検出信号に応じて、前記コントロール信号の電圧レベルを下げるための前記誤差信号を出力するのが好ましい。ま

た、上記 PLL 回路であって、さらに、前記検出信号に応じて、前記コントロール信号の電圧レベルを下げる手段を有するのが好ましい。

#### 【0015】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の PLL 回路を詳細に説明する。

【0016】まず、図 1 は、本発明の PLL 回路の一実施例の概念図である。図示例の PLL 回路 10 は、図 4 に示される従来の PLL 回路 30 と同じように、位相比較器 12、チャージポンプ 14、ローパスフィルタ 16 および電圧制御発振器 18 を有し、さらに制御回路 20 を有している。また、制御回路 20 は、図示例においては、シュミット型バッファ 22、フリップフロップ 24 および組み合わせ回路 26 により構成されている。

【0017】この PLL 回路 10 において、位相比較器 12 には、PLL 回路 10 の外部より供給される基準信号と、電圧制御発振器 18 から出力されるフィードバック信号とが入力されている。位相比較器 12 においては、基準信号とフィードバック信号との間の位相差が検出され、位相比較器 12 からは、その位相比較結果である制御信号が出力される。

【0018】チャージポンプ 14 には、位相比較器 12 から出力される制御信号と、制御回路 20 から出力される検出信号とが入力されている。チャージポンプ 14 からは、検出信号がアクティブ状態であれば、コントロール信号の電圧レベルを下げるような誤差信号が出力され、検出信号が非アクティブ状態であれば、位相比較器 12 から出力される制御信号に応じて、基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号が出力される。

【0019】また、ローパスフィルタ 16 には、チャージポンプ 14 から出力される誤差信号が入力されている。ローパスフィルタ 16 においては、誤差信号がアナログ信号に変換され、ローパスフィルタ 16 からは、誤差信号に応じた電圧レベルを有するコントロール信号が出力される。

【0020】電圧制御発振器 18 には、ローパスフィルタ 16 から出力されるコントロール信号が入力されている。電圧制御発振器 18 においては、コントロール信号の電圧レベルに応じて、フィードバック信号およびこの PLL 回路 10 の出力信号の発振周波数が変更され、電圧制御発振器 18 からは、発振周波数が変更されたフィードバック信号およびこの PLL 回路 10 の出力信号が出力される。

【0021】制御回路 20 には、ローパスフィルタ 16 から出力されるコントロール信号と、電圧制御発振器 18 から出力されるフィードバック信号とが入力されている。制御回路 20 においては、コントロール信号の電圧レベルが検出され、PLL 回路 10 がデッドロック状態

であるか否かが検出され、制御回路20からは、PLL回路10がデッドロック状態であれば、これを正常なロック状態に復帰させるために、アクティブ状態の検出信号が出力される。

【0022】ここで、シュミット型バッファ22にはコントロール信号が入力され、その出力は、フリップフロップ24のクリア入力端子および組み合わせ回路26の一方の入力端子に入力されている。また、フリップフロップ24のデータ入力端子Dは電源に接続され、そのクロック入力端子にはフィードバック信号が入力されている。組み合わせ回路26の他方の入力端子はフリップフロップ24の出力端子Qに接続され、その出力信号である検出信号はチャージポンプ14に入力されている。

【0023】なお、制御回路20から出力される検出信号をチャージポンプ14に入力し、この検出信号がアクティブ状態のときに、コントロール信号の電圧レベルを下げるための誤差信号を出力させるようにしているが、この実施例だけに限定されず、例えばドレインがコントロール信号に接続され、ソースがグランドに接続されたN型MOSトランジスタのゲートに検出信号を入力して、コントロール信号の電圧レベルを直接ディスチャージするような手段を設けてもよい。

【0024】また、コントロール信号の電圧レベルを検出するために、上記実施例においてはシュミット型バッファ22を用いているが、これに限定されず、例えばADコンバータを用いた回路を用いることもできる。また、検出信号を生成するために、フリップフロップ24および組み合わせ回路26を用いているが、例えば同等の機能を実現する他の組み合わせ回路や、あるいは、マイコン制御等によって制御信号を生成することもできる。

【0025】このように、本発明のPLL回路において、制御回路20の構成は特に限定されず、設計段階において、電圧制御発振器の発振周波数特性から、PLL回路がデッドロック状態となる可能性のあるコントロール信号の電圧レベルを検出し、PLL回路がデッドロック状態に陥った場合に、コントロール信号の電圧レベルを下げるように検出信号を出力する回路構成にしておけばよい。本発明のPLL回路は、基本的に以上のように構成される。

【0026】次に、本発明のPLL回路の動作について説明する。まず、コントロール信号の電圧レベルが、PLL回路10が正常なロック状態となる電圧レベル以下である場合の動作について説明する。

【0027】制御回路20において、コントロール信号の電圧レベルが、設計段階で予め設定された電圧レベル以下である場合、シュミット型バッファ22の出力はローレベルであり、従って、検出信号は非アクティブ状態のローレベルである。図示例のPLL回路10においては、まず、位相比較器12において、基準信号とフィード

バック信号との間の位相差が検出され、その検出結果である制御信号が出力される。

【0028】位相比較器12から出力された制御信号は、チャージポンプ14に入力され、チャージポンプ14からは、誤差信号として、基準信号とフィードバック信号との間の位相差に応じたパルス幅を持つパルスが出力される。チャージポンプ14から出力された誤差信号はローパスフィルタ16に入力され、ローパスフィルタ16により、そのフィルタ定数に応じてアナログ信号に変換され、所定の電圧レベルを有するコントロール信号が出力される。

【0029】ローパスフィルタ16から出力されたコントロール信号は、電圧制御発振器18に入力され、電圧制御発振器18から出力されたフィードバック信号および出力信号の発振周波数は、このコントロール信号の電圧レベルに応じて変更される。そして、以後同様に、基準信号と発振周波数の変更されたフィードバック信号とを繰り返し比較することにより、基準信号と出力信号との周波数および位相が同期（ロック）される。

【0030】本発明のPLL回路は、基本的に以上のように動作する。次に、図2および図3に示されるタイミングチャートを参照しながら、コントロール信号の電圧レベルが、PLL回路10がデッドロック状態に陥る可能性のある電圧レベル以上になった場合の動作について説明する。なお、図示例のタイミングチャートにおいては、図1に示される信号A、Bと同一符号が用いられている。

【0031】PLL回路10の動作が不安定になって、コントロール信号の電圧レベルが上昇し、設計段階において予め設定されたシュミット型バッファ22のハイレベルのしきい値 $V_{ih}$ を超えたとき、シュミット型バッファ22からはハイレベルが出力される。即ち、シュミット型バッファ22によって、コントロール信号の電圧レベルが、PLL回路10がデッドロック状態に陥る可能性のある電圧レベル以上になったことが検出される。

【0032】このとき、フリップフロップ24は、クリアが解除されて動作状態とされ、同様に、組み合わせ回路26も動作状態とされる。

【0033】ここで、図2のタイミングチャートに示されるように、フィードバック信号がトグルしていない場合、フリップフロップ24にはクロック信号が入力されず、その出力Qは、クリアされたローレベルのままの状態である。フリップフロップ24の出力Qのローレベルは組み合わせ回路26により反転され、検出信号はアクティブ状態であるハイレベルに変化する。即ち、PLL回路10がデッドロック状態に陥っていることが検出される。

【0034】検出信号がハイレベルになると、チャージポンプ14からはコントロール信号の発振周波数を下げるような誤差信号が出力される。これにより、ローパス

10

20

30

40

50

フィルタ16から出力されるコントロール信号の電圧レベルは徐々に低下し、電圧制御発振器18の発振周波数が下がって、その結果、フィードバック信号が再びトグルを開始する。

【0035】フィードバック信号がトグルを開始すると、フリップフロップ24にクロック信号が入力され、その出力Qがハイレベルとなって、検出信号は非アクティブ状態であるローレベルに戻される。そして、位相比較器12において、基準信号とフィードバック信号とが比較され、チャージポンプ14およびローパスフィルタ16を経て、電圧制御発振器18の発振周波数が繰り返し変更される。

【0036】ここで、コントロール信号の電圧レベルが下がり、シュミット型バッファ22のローレベルのしきい値よりも小さくなると、シュミット型バッファ22の出力がローレベルになり、これにより、フリップフロップ24がクリアされ、その出力Qがローレベルになり、組み合わせ回路26も非動作状態とされ、初期状態に戻される。以後同様に、基準信号とフィードバック信号とが繰り返し比較され、最終的に、基準信号と出力信号との周波数および位相が同期される。

【0037】このように、本発明のPLL回路においては、PLL回路10がデッドロック状態に陥った場合であっても、コントロール信号の電圧レベルが、PLL回路10がデッドロック状態に陥る可能性がある電圧レベル以上になったことを検出し、さらにPLL回路10がデッドロック状態に陥っていることを検出して、自動的に正常なロック状態に復帰させることができる。

【0038】一方、図3のタイミングチャートに示されるように、コントロール信号の電圧レベルが、PLL回路10がデッドロック状態となる可能性のある電圧レベル以上になったことが検出された場合であっても、実際にはデッドロック状態に陥っておらず、フィードバック信号がトグルしている場合には、フリップフロップ24にはクロック信号が入力され、その出力Qはハイレベルに変化し、検出信号は非アクティブ状態であるローレベルを保持する。

【0039】従って、通常動作時と同じように、基準信号とフィードバック信号とが繰り返し比較されて、電圧\*

\* 制御発振器18の発振周波数に変更され、最終的に、基準信号と出力信号との周波数および位相が同期される。

【0040】このように、本発明のPLL回路においては、コントロール信号の電圧レベルが、PLL回路10がデッドロック状態に陥る可能性がある電圧レベル以上になった場合であっても、実際にデッドロック状態に陥っていない場合には、通常動作には何ら影響を与えることはない。

【0041】

10 【発明の効果】以上詳細に説明したように、本発明のPLL回路は、コントロール信号の電圧レベルが、PLL回路がデッドロック状態に陥る可能性がある電圧レベル以上になったことを検出し、さらにPLL回路がデッドロック状態に陥っていることを検出して、コントロール信号の電圧レベルを低下させ、PLL回路を正常なロック状態に復帰させるように構成したものである。このため、本発明のPLL回路によれば、デッドロック状態に陥った場合であっても、自動的に正常なロック状態に復帰させることができるため、安定したPLL回路システムを構築することができる。

20 【図面の簡単な説明】

【図1】 本発明のPLL回路の一実施例の概念図である。

【図2】 本発明のPLL回路の動作を表す一実施例のタイミングチャートである。

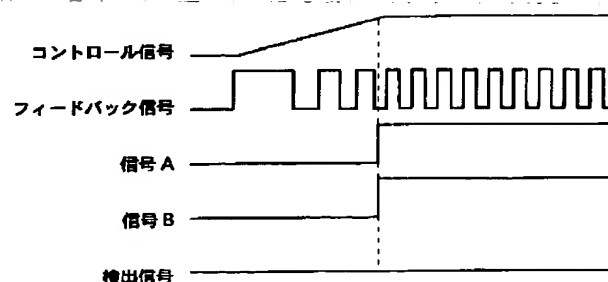
【図3】 本発明のPLL回路の動作を表す別の実施例のタイミングチャートである。

【図4】 PLL回路の一例の概念図である。

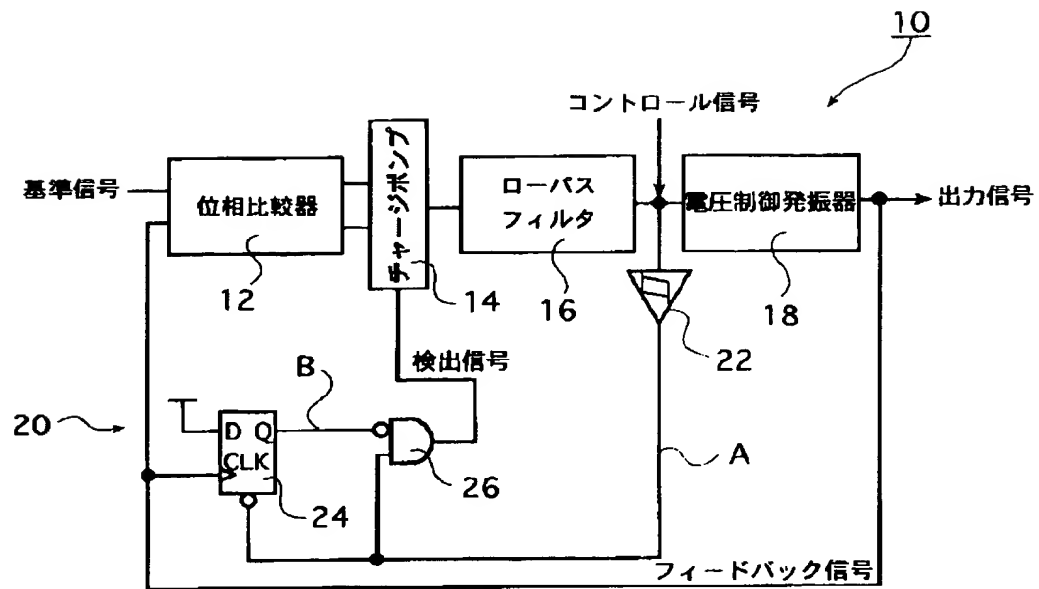
【符号の説明】

- 30 10, 30 PLL回路  
12, 32 位相比較器  
14, 34 チャージポンプ  
16, 36 ローパスフィルタ  
18, 38 電圧制御発振器  
20 制御回路  
22 シュミット型バッファ  
24 フリップフロップ  
26 組み合わせ回路

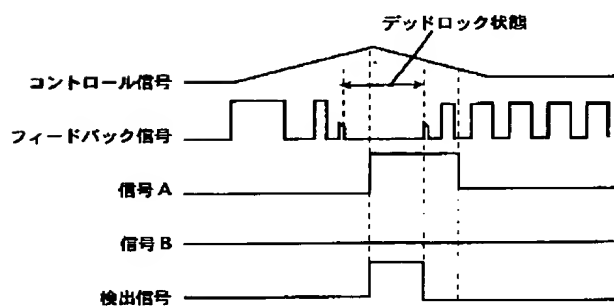
【図3】



【図1】



【図2】



【図4】

